

面向 AHB 总线从单元的可复用接口设计

陈庆宇, 盛廷义, 吴龙胜, 段青亚, 姜兴通

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 随着集成电路进入 SoC(System-on-Chip)时代, IP 复用在 SoC 系统设计、集成过程中不可避免, 不同 IP 核与总线之间的接口差异已经成为 IP 复用的主要障碍. 通过研究各种 IP 核的总线接口特征, 本文设计实现了一种面向 AHB 总线从单元的可复用接口, 通过硬件和软件两个层次的配置, 该接口可满足某一具体外设对接口的要求. 目前该接口模块已成功应用在三角函数、UART、CAN 等外设的集成中.

关键词: AHB; 从单元; 配置; 可复用接口

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)12-0059-05

The Design of Reusable Interface for AHB Bus Slave

CHEN Qing-yu, SHENG Ting-yi, WU Long-sheng,

DUAN Qing-ya, JIANG Xing-tong

(Xi'an Microelectronics Technique Institute, Xi'an 710054, China)

Abstract: With the integrated circuit going into SoC era, the reusability of IP is inevitable in the process of SoC system design and integration. The Discrepancies between various IPS and bus interface, however, have become the main obstacle for IP reuse. By studying the bus interface characteristics of various IPs, the design of reusable interface for AHB bus slave is designed and implemented in this paper, which can meet the interface requirements of a specific peripheral. The interface module has been successfully applied in the integration of trigonometric functions, UART, CAN etc.

Key words: AHB; slave; configuration; reusable interface

1 引言

随着设计技术和工艺水平的发展, SoC(System-on-Chip)技术已经成为 21 世纪集成电路设计的主流. SoC 电路规模迅速增大, 为了提高设计可靠性、缩短研发周期, SoC 开发人员主要采用基于片上总线的 IP 复用技术. 所有从单元 IP 核通过总线接口与处理器通信, 不同的 IP 核具有不同的时序特性. 某一具体接口不能实现可复用的目标, 硬件设计人员通常需要开发专用的总线从单元接口, 当系统规模较大时导致设计周期长, 而且无法保证各个模块接口的高效性和一致性^[1].

为了设计面向总线外设的通用接口, 本文研究了多种外设 IP 核接口特点, 提出一种可复用接口体

系结构, 设计了一种面向 AHB 总线从单元的可复用接口模块, 用户只需要对该接口模块进行定制就可以得到各种具体的接口形式. 对于配置后的具体接口, 由于其体系结构从根本上而言是一致的, 有利于提高接口验证环境的重用性, 缩短整个 SoC 的开发周期.

2 可复用的总线从单元接口架构

总线接口是总线从单元模块与处理器通信的“桥”, 其主要作用即协调总线协议与具体从单元的接口时序的差异, 保证外设从单元与处理器的正确通信. 本文认为, 尽管不同的从单元要求的具体接口形式不同, 但是接口的本质是数据传输. 据此, 本文围绕如何做好数据传输, 结合实际应用中各种从单

元接口特点,提出了一个可复用的通用从单元接口应该具有的功能,简述如下:

- 协议转换. 为了完成总线和从单元的通信,接口须将总线协议时序转化为本地的时序协议,并对总线协议给予正确的响应.

- 数据缓冲. 为了使处理器与外设之间处理数据的速度相互匹配,接口必须具有数据缓冲的能力. 为了提高接口的可复用性,数据缓冲必须支持多种外设单元的数据传输方式,支持突发、数据对齐、基于帧的传输等.

- 同步单元. 处理器和外设可能不在同一个时钟域,接口必须具有处理异步信号能力.

- 中断处理. 实时性要求高的外设与处理器的交互通常采用中断而非查询方式,为了满足该类外设的要求,作为可复用的接口必须支持中断处理.

- DMA 请求处理. 当外设需要传输的数据量较大且地址连续时, DMA 方式可大幅提高总线利用率.

- 功耗控制. 当用户系统对功耗要求较高时,允许用户通过接口内的时钟管理模块进行功耗控制.

- 支持 RAM 存取. 可以直接将总线时序转化为 RAM 的读写时序,且 RAM 的读写时序可配置(针对一些具有片上 RAM 的外设).

此外,还需要一个寄存器单元,通过软件读写寄存器,完成对上述功能模块的管理,实现接口高度配置. 基于上面的论述,本文提出了一种可复用接口体系结构,如图 1 所示.

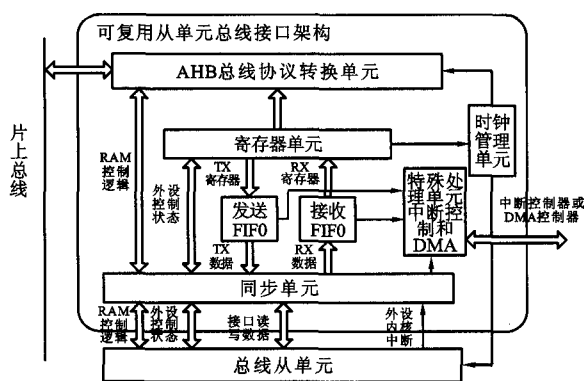


图 1 面向 AHB 总线从单元的可复用接口结构

从图 1 可知,整个接口的工作都在寄存器模块的控制下,用户可以通过操作有关寄存器对接口进行有效的管理,如配置 FIFO 有关的寄存器,可以控制数据传输和对齐方式等;配置中断相关的寄存器,可以控制中断的产生、清除、屏蔽等;该结构的接口

通过配置可以兼顾多数 AHB 总线从单元接口特点. 其一般情况下的工作机理即处理器或者 DMA 控制器根据接口产生的数据传输请求,将数据写进 TX 寄存器或者读 RX 寄存器的数据, TX 寄存器和 RX 寄存器对应一段地址空间,支持突发传输,接口的数据和控制信号通过同步单元进入总线从单元.

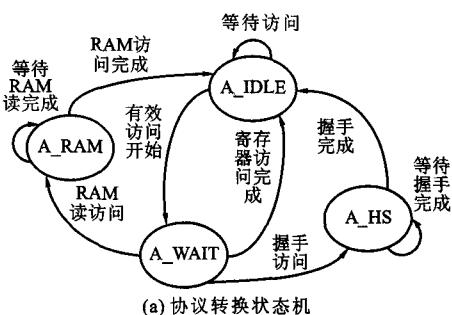
3 各模块的设计

本节叙述了架构中各模块的设计实现,每个模块可配置性均在 3.8 节有所论述,硬件开发人员可以根据具体总线从单元的功能,或硬件定制、或软件配置,实现本文论述的接口的可复用性.

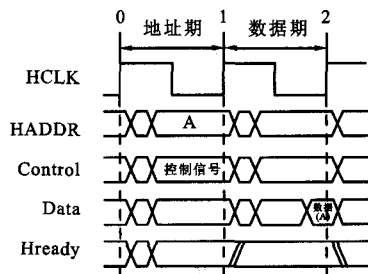
3.1 AHB 协议转换单元

AHB 总线协议转换单元由状态机完成,将总线上的地址进行译码,把 AHB 协议的时序转化接口的本地访问时序,完成对寄存器单元的访问.

该模块的新颖之处主要包括:(1)支持特殊时序访问的单元,如基于握手方式的单元.(2)支持总线从单元内部的 RAM 访问,并且 RAM 的时序可通过软件配置.(3)采用拉低 HREADY 插入一个等待周期的方式访问寄存器. 因为 AHB 协议允许零等待的访问^[2],如图 2,地址在时钟 1 处被锁存,然后开始译码,这里存在一个问题即译码结束的时间不可控,从而读写等控制信号与译码后的片选信号不同步,同时若译码逻辑较大,可能造成读写数据 A 的时序紧张. 针对此问题,本模块采取插入一个等待



(a) 协议转换状态机



(b) AHB 零等待的访问时序

图 2 AHB 协议转换单元

周期的访问方式,时钟 1 后拉低 HREADY,插入等待周期用于译码,在时钟 2 的上升沿送出控制信号和译码产生的片选信号,保证时序满足及信号的严格同步。

3.2 寄存器单元

寄存器单元,包括接口中所有的控制、状态及与外设有关的寄存器,采用基址+偏移地址的方式规划寄存器地址,AHB 总线译码器对基址进行译码,偏移地址的译码由协议转换单元完成,两级译码的结构使该接口的地址范围独立与系统的地址分配,确保接口的独立性、可复用性。

在该模块的设计中,需要说明的是,(1)接口中 FIFO 未分配地址空间,因为接口中采用基于寄存器的 FIFO 速度较快,可满足性能较高的外设数据存取要求。(2)一般的寄存器分配一个地址,但是数据发送寄存器 TX,数据接收寄存器 RX 分配一个地址区间,对该地址区间内的任意地址操作都是一样的效果(都是对 TX 的写或 RX 的读)。这样做可以使从单元支持总线突发存取或者支持 DMA 操作,上述两种存取方式都是对一段连续地址进行操作,可以显著提高处理器利用率,提升系统性能。

3.3 时钟管理单元

时钟管理单元主要功能即功耗控制,通过时钟门控和时钟分频实现。当从单元没有被总线选中时,关闭协议转换单元和外设内核的时钟,有效降低模块的功耗。并且可以给外设单元提供系统时钟分频后的时钟,其中分频系数可软件配置。

3.4 寄存器单元

发送、接收 FIFO,含有 n 级移位寄存器,在 FIFO 的读写过程中,读写指针均保持静止,写指针永远在一级寄存器,读指针永远指向最后一级寄存器。每一级移位寄存器设置一位有效位,当该级寄存器为空时,有效位有效,反之无效,该有效位做为移位使能配合时钟实现数据先进先出的功能。从接口的可复用性出发,设计中 FIFO 的工作方式较为灵活,可以对其深度、数据宽度、数据对齐方式、突发传输大小、发送及接收的数据包大小等进行配置,保证 FIFO 支持各种外设的具体通信需要。下面以发送 FIFO 为例说明其设计实现。

FIFO 控制寄存器控制 FIFO 的数据对齐方式、突发传输大小、是否处于流控。发送数据包大小寄存器说明处理器要发送的数据字节的个数,每发送结束一个字节,该值减 1,用于支持基于数据包传输的外设。FIFO 状态寄存器说明被填充的 FIFO 级数。

TX 寄存器对应一段地址空间,用于突发时的数据传输。每当一个 FIFO 级的数据全部移动到外设从单元,且此时空 FIFO 级的数量大于突发传输的大小,那么一直产生 TX 突发传输请求,经过特殊处理模块,送到系统级中断控制器或者 DMA 控制器,然后处理器或 DMA 控制器向 TX 寄存器突发写, TX 寄存器只要有数据,就会向 FIFO 不断写数据。在非流控模式下,如果空着的 FIFO 不够一个突发大小,那么等数据发出去够一个突发传输大小时才会产生发送突发传输。在流控模式下,如果待发送的数据大于或等于突发传输大小时,产生发送突发传输请求,若待发送的数据小于突发传输大小时,产生发送单传输请求或者最后单传输请求。

3.5 同步单元

本文设计的接口支持脉冲到脉冲、脉冲到电平、握手机制等常用的同步方法。设计中,外设从单元的读、写数据的握手信号必须经过同步。需要注意的是,当控制信号由快时钟域到慢时钟域时,使用脉冲到电平的同步方式;当控制信号由慢时钟域到快时钟域时,建议使用脉冲到脉冲同步电路。本文所述接口数据发送过程中同步模块的应用及同步后的信号时序如图 3,其中外设中断信号(int)和发送响应信号(tx_ack)使用同样的脉冲到脉冲同步电路,发送告知信号(tx_ind)使用脉冲到电平的同步方式。发送数据的可靠传输由控制信号保证,其本身不做同步。

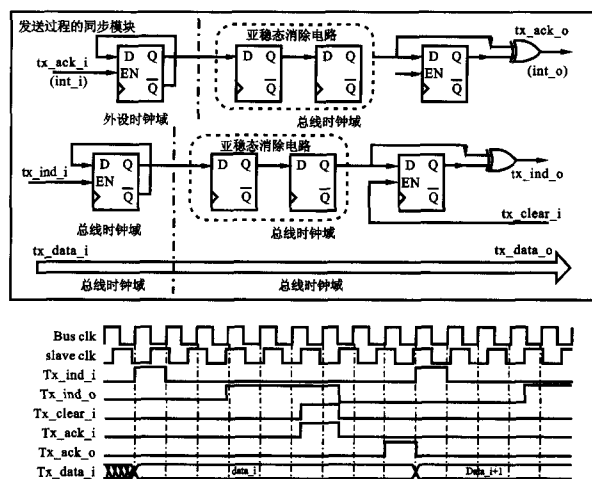


图 3 FIFO 与外设从单元之间的信号同步模块及信号时序

3.6 特殊处理单元

特殊处理单元,其功能相当于系统中的二级中断处理。因为一个从单元外设ในระบบ级只有一个中断源接口,不能精确反应从单元的各种中断。该模块

处理来自发送、接收 FIFO 的数据传输请求、上溢下溢请求及内核的各种中断请求,并将处理后的请求传输至系统的中断控制器或者 DMA 控制器.此模块的作用主要是增加接口使用的灵活性,使之配合 FIFO,适应各种外设传输模式.通过配置寄存器,特殊处理单元可以对任何一个中断源(包括 DMA 请求)进行设置、清除和屏蔽.其基本原理框图如图 4.当某中断源置位或强制产生某中断时,如果该中断对应的中断清除寄存器无效,那么该中断源置中断初始寄存器的相应位有效,若该中断未被屏蔽,那么在 DMA 使能寄存器控制下,输出中断或 DMA 请求.

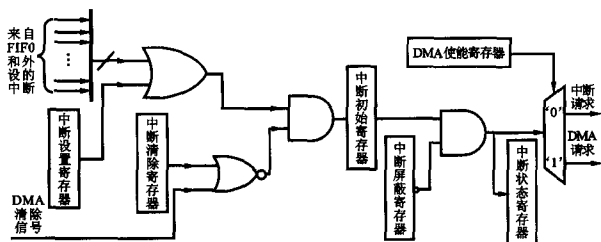


图 4 中断及数据请求原理框图

3.7 总线从单元

所述总线从单元,即是实现具体功能的外设单元,其与具体实现相关,本文不做赘述.

3.8 可配置型的实现

本文上面介绍了面向 AHB 从单元的可复用接口的架构及各模块的设计,本节主要介绍各模块配置的实现.首先介绍以下配置的原理,然后说明配置的实现方式.假设下述为条件表达式:

$$T = \exp1 | \exp2 | \exp3 |;$$

$$\exp = s_x \& s_y \& s_z;$$

$$s_x = \text{config}[1] \& v_1$$

式中, v_1 是表示某事件发生与否的布尔值.通过软件写某些寄存器的对应位,可以禁止或者使能事件 s_x ,进而通过多个配置就可以对顶层事件 T 进行管理,实现接口内具体应用的灵活可配置性.

配置的实现主要通过两种方式,一种是配置 VHDL 集合包中的编译选项参数,从而定制 FIFO 的大小、决定数据位宽、禁止或者使能某些功能模块等.参数化的设计可以极大提高结构的可复用性^[3].另一种是通过软件对接口的工作模式进行实时的配置,如 FIFO 的数据对齐方式、突发大小、中断请求的处理等,软件配置可以满足应用的复用性^[4].

配置编译选项参数可以实现如下配置:(1)使协议转换单元支持 AHB 或者 AHB lite 总线架构;

(2)禁止或者使能 RAM 的控制逻辑的产生;(3)定制接口内的数据同步方式;(4)决定 FIFO 的深度、宽度;(5)使能或者禁止时钟管理单元;(6)使能或者禁止特殊处理单元;(7)决定从单元的映射地址范围;(8)定制发送、接收寄存器的地址范围;(9)决定寄存器的访问方式、是否具有突发能力等.

通过软件配置可实现如下管理:(1)写 ram_cfg 寄存器,配置 RAM 的访问时序或者以握手方式访问 RAM;(2)FIFO 的数据对齐方式、突发大小、发送接收数据包的大小等;(3)对每一个中断源均可以实现设置、清除、屏蔽等;(4)读有关寄存器,了解接口的工作状态;(5)控制外设从单元的工作等.

接口使用者根据从单元的具体功能,配置实现定制接口的具体结构.

4 验证及综合情况

总线接口的正确性体现在保证处理器与外设从单元的可靠通信,因此对接口的验证即是对从单元模块功能正确性的验证.从单元外设验证采用了如图 5 验证环境,其中接口 1 evc 为片上总线接口验证环境,一般情况下为 AHB 等通用协议总线;接口 2 evc 为协议接口或其他外部端口验证环境,接口可以为 1553B、UART、外部中断等;module evc 为待测模块的寄存器映射等验证环境.每一部分均对信号时序进行自动的监控,可显著提高验证的效率和正确性.本文设计的总线接口在各种配置条件下通过了功能验证、时序验证及板级 FPGA 验证.

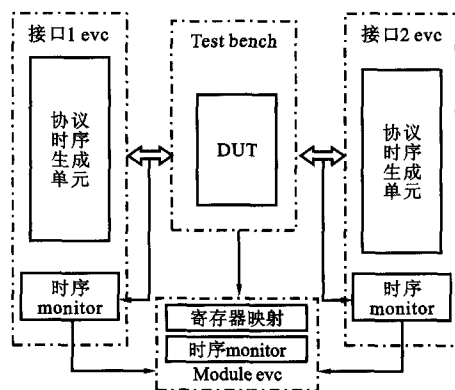


图 5 接口验证环境示意图

由于接口模块可配置的特点,在具体应用中综合结果会有一定的差异,这里给出了面向 AHB 从单元 UART 接口的综合结果.该接口用到了除 RAM 控制逻辑之外的所有功能模块,具有一定的典型性.在 SMIC 0.13 μm 工艺库和 140 MHz 时钟约束下,综合后芯片面积为 0.173 mm^2 .

5 结束语

为了提高从单元接口的可复用性,缩短 SoC 的研发周期,本文实现了面向 AHB 总线从单元的可复用接口模块设计,包括协议转换单元、寄存器单元、接收和发送 FIFO、特殊处理单元、同步单元等。各个模块在寄存器单元的控制下协调工作,支持各种数据传输方式,具有很高的灵活性。通过配置该接口可以适应多数 AHB 从单元的要求,真正实现可复用。本文给出了一个面向 AHB 总线从单元 UART 的综合结果,并对其验证环境进行了说明。

本文提出的可复用接口模块已经应用在多个 SoC 芯片中,实现了 CAN、UART、三角函数、I²C 等从单元到 AHB 的集成,均流片成功。实践证明,通过修改编译选项参数及软件配置,该接口模块具有较高的可复用性及结构上的一致性,极大地缩短了 SoC 开发周期。

参考文献:

- [1] 张颀,权进国,乔飞,等.面向 SOC 的可配置 AHB 接口组件[J].电子与信息报,2008,30(8).
- [2] ARM Inc. AMBA Specificalion Rev2.0[S].1999:3-5.
- [3] Zhangzhen, Zhang Hui. Parameterized bus interface design based on verilog langue [C]//International Conference on Computer Application and System Modeling. China Taiyuan, 2010:185-189.
- [4] Duoli Zhang, Gaoming DU. Study on universal bus interface based on sequence configuration [C]//International Conference on Computational Intelligence and Software Engineering. China Wuhan, 2009.

作者简介:

陈庆宇 男,(1988—).研究方向为 IC 设计.

盛廷义 男,(1974—).研究员.研究方向为 SoC 设计、验证.

吴龙胜 男,(1970—).总工程师、研究员.研究方向为 IC 设计、SoC 设计.

(上接第 58 页)

- [5] Joe H Ward. Hierarchical grouping to optimize an objective function[J]. Journal of the American Statistical Association, 1963,58(301):236-244.
- [6] Gilman Drive, La Jolla. Hierarchical sampling for active learning[C]//Proceedings of the 25th International Conference on Machine Learning. Finland: Helsinki, 2008,10(9):257-264.
- [7] Devis Tuia, Jordi Munoz-Mari. Remote sensing image segmentation by active queries[J]. Pattern Recogni-

tion, 2012,45(10):2180-2192.

- [8] Aichholzer O, Aurenhammer F. Classifying hyperplanes in hypercubes[J]. SIAM Journal on Discrete Mathematics, 1996,9(2):225-232.

作者简介:

李建华 男,(1988—),硕士研究生.研究方向为图像处理.